

# DIRECT DIGITAL SYNTHESIS WITH AD9951

**Aleš Povalač**

Master Degree Programme (2), FEEC BUT

E-mail: xpoval01@stud.feec.vutbr.cz

Supervised by: Jiří Šebesta

E-mail: sebestaj@feec.vutbr.cz

## ABSTRACT

The development of Direct Digital Synthesis (DDS) prototype module is presented in this paper. The module utilizes Analog Devices AD9951 synthesizer and includes complete system clock management unit with a multiplier and an output low-pass reconstruction filter. The optimal method for the calculation of the Frequency Tuning Word (FTW) on small microcontrollers is also discussed.

## 1 ÚVOD

Koncepce přímé číslicové syntézy (DDS), popsaná podrobně např. v [1], prochází v posledních letech poměrně rapidním vývojem, vedeným zejména firmou Analog Devices. Zvýšení rozlišení výstupního D/A převodníku na 14 bitů a neustálé zvyšování maximální frekvence jádra DDS umožňuje obvodům současné generace syntézu spektrálně vysoce čistého signálu o kmitočtu řádově stovek MHz.

Tato práce se zabývá aplikací obvodu AD9951, který představuje kompletní DDS syntezátor s moderním 14-bitovým D/A převodníkem a umožňuje taktování jádra kmitočtem do 400 MHz [2]. Vyvinutý prototypový modul syntézy obsahuje DDS včetně zdroje hodinového kmitočtu, který je realizován pomocí snadno dostupného 100 MHz krystalového oscilátoru a kmitočtové násobičky.

## 2 VÝPOČET LADÍČÍHO SLOVA FTW

Komunikace s DDS obvody probíhá až na výjimky po sériové sběrnici odvozené od standardu SPI. Popis je uveden v katalogovém listu obvodu [2].

Základním prvkem každého DDS jádra je tzv. fázový akumulátor. Při každém taktu hodinového signálu ( $f_S$ ) dojde k inkrementaci tohoto akumulátoru o nastavenou hodnotu (FTW – *Frequency Tuning Word*). Výstupní frekvence DDS je tedy funkcí frekvence hodinového signálu  $f_S$ , nastavené hodnoty FTW a kapacity akumulátoru, v případě obvodu AD9951 hodnoty  $2^{32}$ . Pro  $FTW < 2^{31}$  platí:

$$f_{out} = \frac{FTW \cdot f_S}{2^{32}} \quad (1)$$

Pro výpočet FTW lze odvodit:

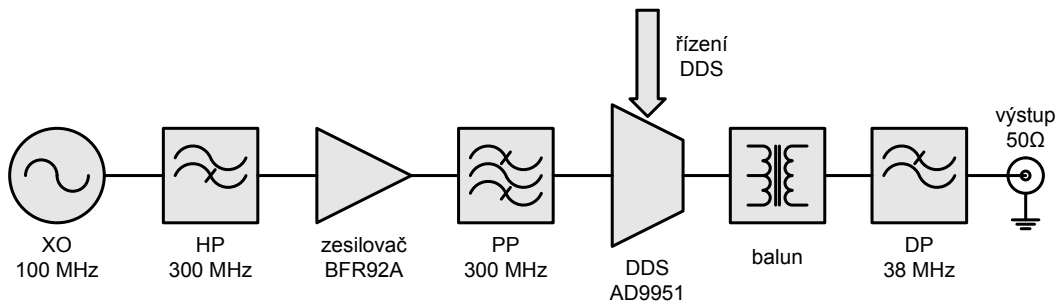
$$FTW = \frac{f_{out} \cdot 2^{32}}{f_s} = \left(f_{out} \cdot \frac{2^{64}}{f_s}\right) \gg 32, \quad (2)$$

kde  $(2^{64}/f_s)$  je konstantou a symbol „ $\gg$ “ označuje bitový posuv. Použití vztahu pro FTW upraveného do tohoto tvaru je vhodné z důvodu rychlosti výpočtu v řídicím mikroprocesoru při zachování přesnosti. Bitový posuv o 32 bitů se snadno realizuje pouze vhodným přístupem do paměti, kdy se z 64-bitového výsledku použije horních 32 bitů, v jazyce C např. využitím *union*. Pro mikroprocesory komplikované a pomalé dělení se tak redukuje na jedinou operaci 64-bitového celočíselného násobení.

### 3 REALIZACE A MĚŘENÍ PROTOTYPU

Prototyp syntézy s AD9951 je navržen do standardní pocínované krabičky AH102. Modul obsahuje hlavní 5 V stabilizátor pro napájení obvodů oscilátoru a tři nízkošumové stabilizátory ( $2 \times 3,3$  V a  $1 \times 1,8$  V) pro DDS obvod.

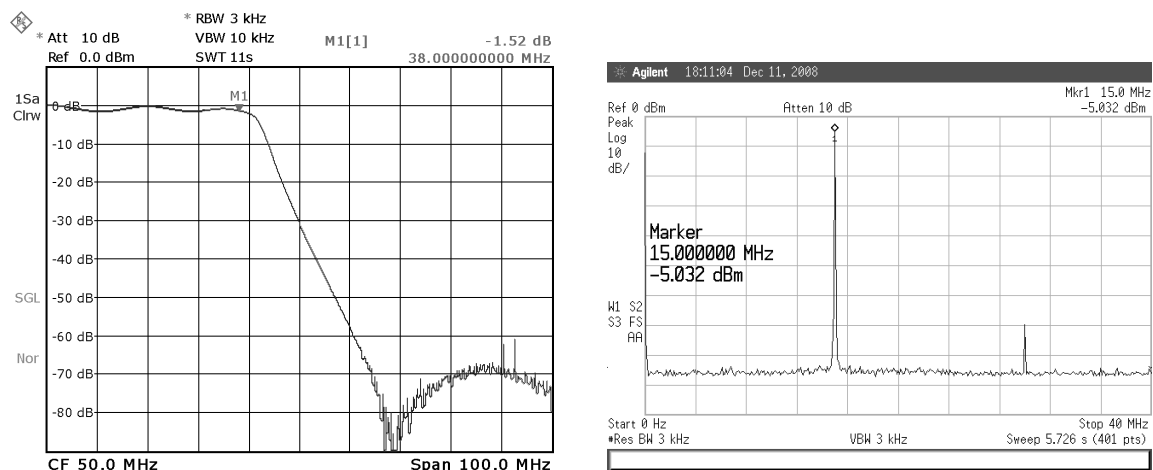
Obr. 1 ukazuje blokové zapojení modulu. Jako zdroj hodin je využit levný 100 MHz krystalový oscilátor s obdélníkovým TTL výstupem. Základní harmonická složka tohoto signálu je potlačena LC horní propustí 3. řádu se zlomovým kmitočtem 300 MHz. Signál je následně zesílen tranzistorovým zesilovačem a filtrován interdigitální mikropáskovou pásmovou propustí laděnou na kmitočet 300 MHz, tj. na třetí harmonickou signálu oscilátoru. Protože je požadována maximální úroveň signálu na impedanci 1500  $\Omega$  (impedance hodinového vstupu obvodu AD9951, viz [2]), je signál z výstupního mikropáskového vedení odbočen až v místě doladovací kapacity. Realizace propustí je patrná z fotografie na obr. 3.



**Obrázek 1:** Blokové schéma DDS syntézy s obvodem AD9951

Impedance komplementárních výstupů D/A převodníku obvodu AD9951 je transformována na obvyklou impedanci 50  $\Omega$ . Za balunem následuje eliptický filtr 7. řádu, navržený pro konkrétní aplikaci se zlomovým kmitočtem 38 MHz, zvlněním v propustném pásmu 0,5 dB a činitelem tvaru  $B_6/B_{60} = 1,70$ . Pro zvolené 300 MHz taktování jádra (Nyquistův kmitočet 150 MHz) by bylo prakticky možné zlomový kmitočet rekonstrukční propusti zvýšit do cca 120 MHz.

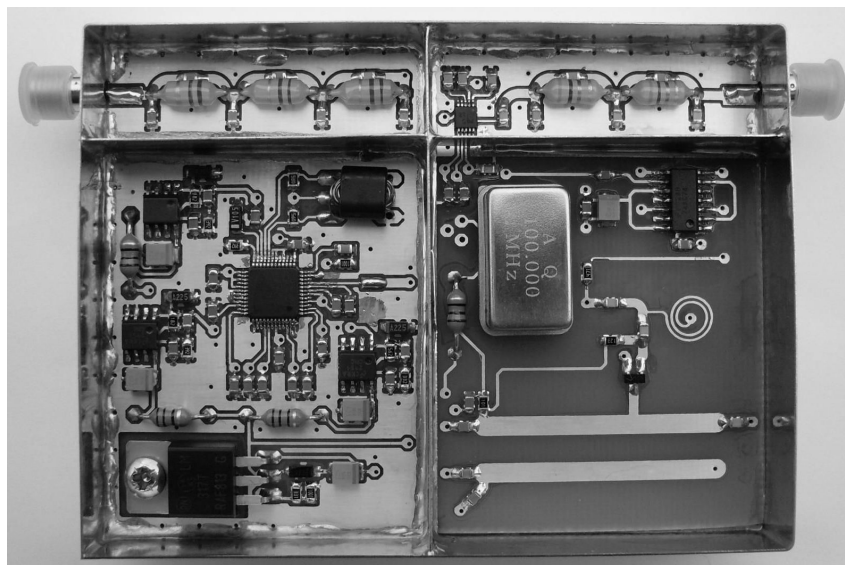
Obr. 2 ukazuje vybrané výsledky měření prototypu. Ze spektra testovacího 15 MHz výstupního signálu lze odečíst SFDR (potlačení nežádoucích složek) přesahující 80 dB a potlačení druhé harmonické výstupního signálu cca 65 dB.



**Obrázek 2:** Měření prototypu DDS syntézy – rekonstrukční filtr a spektrum 15 MHz signálu

#### 4 ZÁVĚR

Popsaný modul bude využit v konstrukci krátkovlnné radioamatérské stanice. Prototyp na obr. 3 obsahuje vlevo dole samotnou DDS AD9951 s napájením a balunem, nahoře rekonstrukční filtr. V pravé části dole je umístěn zdroj systémového kmitočtu a násobič a nahoře dále pomocná DDS AD9833. Měřený vzorek AD9951 spolehlivě fungoval až do kmitočtu 600 MHz, zapojení násobičky by tedy bylo možné snadno upravit na pátou harmonickou. Pro frekvenci jádra 500 MHz by se pak modul dal využít k frekvenční syntéze do cca 200 MHz.



**Obrázek 3:** Fotografie prototypu DDS syntézy

#### REFERENCE

- [1] *A Technical Tutorial on Digital Signal Synthesis* [Online]. Analog Devices, Inc., 1999. Dostupné na: <[http://www.ieee.li/pdf/essay\\_dds.pdf](http://www.ieee.li/pdf/essay_dds.pdf)>.
- [2] *AD9951 – 400 MSPS 14-bit, 1.8V CMOS Direct Digital Synthesizer. Data sheet* [Online]. Analog Devices, Inc., 2003. Dostupné na: <[http://www.analog.com/static/imported-files/data\\_sheets/AD9951.pdf](http://www.analog.com/static/imported-files/data_sheets/AD9951.pdf)>.